

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-334580
 (43)Date of publication of application : 22.11.2002

(51)Int.Cl. G11C 11/409
 G11C 11/401
 G11C 11/41

(21)Application number : 2002-121334 (71)Applicant : INTERNATL
 BUSINESS
 MACH
 CORP
 <IBM>
 (22)Date of filing : 23.04.2002 (72)Inventor : KIRIHATA
 TOSHIAKI
 DHONG
 SANG HOO
 OH HWA-
 JOON
 WORDEMAN
 MATTHEW

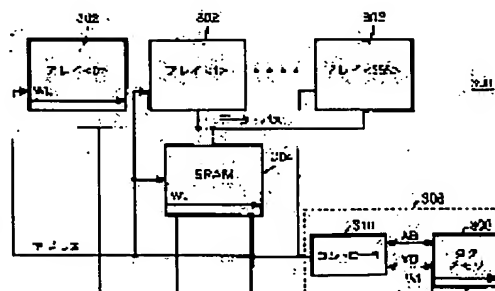
(30)Priority

Priority 2001 843504 Priority 26.04.2001 Priority US
 number : date : country :

(54) DESTRUCTIVE READ ARCHITECTURE FOR DYNAMIC
 RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for controlling operation of a dynamic random access memory(DRAM) system having a plurality of memory cells constituted of rows and columns.
 SOLUTION: This method comprises a step in which a destructive read



mode is enabled, the destructive read mode is a mode for read out destructively a bit of information stored in a DRAM memory cell being addressed. A bit in which information is read destructively is stored temporarily in a temporary storage device. A delay write-back mode is enabled, this delay write-back mode is a mode for restore bit of information in the DRAM memory cell being addressed afterward. Then, execution of the delay write-back mode is scheduled in accordance with availability of space in the temporary storage device.

LEGAL STATUS

[Date of request for examination] 23.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-334580

(P2002-334580A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 11/409

G 1 1 C 11/34

3 5 3 C 5 B 0 1 5

11/401

Z 5 M 0 2 4

11/41

3 7 1 Z

審査請求 有 請求項の数50 O L (全 19 頁)

(21) 出願番号 特願2002-121334(P2002-121334)

(71) 出願人 390009531

(22) 出願日 平成14年4月23日 (2002. 4. 23)

(31) 優先権主張番号 09/843504

(32) 優先日 平成13年4月26日 (2001. 4. 26)

(33) 優先権主張国 米国 (U S)

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロー
ド

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

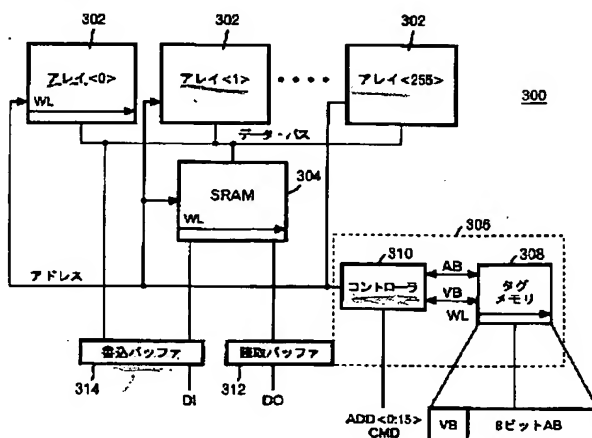
最終頁に続く

(54) 【発明の名称】 ダイナミック・ランダム・アクセス・メモリの破壊読出アーキテクチャ

(57) 【要約】

【課題】 ロウおよびカラムに編成された複数のメモリ・セルを有するダイナミック・ランダム・アクセス・メモリ (DRAM) システムの動作を制御する方法を提供すること。

【解決手段】 本発明の例示的实施形態では、方法に、破壊読出モードをイネーブルするステップが含まれ、破壊読出モードは、アドレッシングされたDRAMメモリ・セル内に保管された情報のビットを破壊的に読み取るためのものである。情報の破壊的に読み取られたビットが、一時的に一時記憶デバイスに保管される。遅延ライト・バック・モードがイネーブルされ、この遅延ライト・バック・モードは、アドレッシングされたDRAMメモリ・セルに後で情報のビットを復元するためのものである。その後、遅延ライト・バック・モードの実行が、一時記憶デバイス内のスペースの可用性に応じてスケジューリングされる。



【特許請求の範囲】

【請求項1】ダイナミック・ランダム・アクセス・メモリ（DRAM）システムの動作を制御する方法であって、前記DRAMシステムが、ロウおよびカラムに編成された複数のメモリ・セルを有し、

破壊読出モードをイネーブルするステップであって、前記破壊読出モードが、アドレッシングされたDRAMメモリ・セル内に保管された情報のビットを破壊的に読み取るためのものである、ステップと、

情報の前記破壊的に読み取られたビットを、一時記憶デバイスに一時的に保管するステップと、

遅延ライト・バック・モードをイネーブルするステップであって、前記遅延ライト・バック・モードが、前記アドレッシングされたDRAMメモリ・セルに後で情報の前記ビットを復元するためのものである、ステップと、前記遅延ライト・バック・モードの実行をスケジューリングするステップであって、前記スケジューリングが、前記一時記憶デバイス内のスペースの可用性に依存する、ステップとを含む方法。

【請求項2】破壊読出モードをイネーブルする前記ステップが、さらに、

プリチャージされた相補ビット線の対上で差動信号を展開するステップであって、前記ビット線の1つが、前記アドレッシングされたDRAMメモリ・セルに結合される、ステップと、

ビット線の前記対からセンス線の対へ前記差動信号を転送し、その直後に前記ビット線から前記センス線を分離するステップと、

ビット線の前記対をプリチャージするステップとを含む、請求項1に記載の方法。

【請求項3】ビット線の前記対上の前記差動信号が、前記個々のメモリ・セルに結合されたワード線が活動化される時に展開される、請求項2に記載の方法。

【請求項4】前記一時記憶デバイスが、スタティック・ランダム・アクセス・メモリ（SRAM）を含む、請求項1に記載の方法。

【請求項5】前記SRAMが、前記アドレッシングされたDRAMメモリ・セルに書き込まれる情報を一時的に保管する、請求項4に記載の方法。

【請求項6】前記SRAMが、前記アドレッシングされたDRAMメモリ・セルのアドレスに対応するSRAMアドレスに情報を一時的に保管する、請求項5に記載の方法。

【請求項7】前記DRAMシステムのランダム・アクセス・サイクル・タイムが、前記遅延ライト・バック・モードの前記イネーブルを含まない、請求項1に記載の方法。

【請求項8】前記DRAMシステムのランダム・アクセス・サイクル・タイムが、前記破壊読出モードの前記イネーブルだけを含む、請求項7に記載の方法。

【請求項9】前記SRAMが、既にそこに含まれる情報のほかに一時的に情報を保管することができない場合に、遅延ライト・バック・モードが実行される、請求項5に記載の方法。

【請求項10】複数のDRAMアレイを含む破壊読出DRAMアーキテクチャでライト・バック動作をスケジューリングする方法であって、

動作コマンドを受け取るステップと、

前記動作コマンドが、

それによって参照されるアドレッシングされたDRAMアレイからのデータの読出をもたらし読取コマンドと、それによって参照されるアドレッシングされたDRAMアレイへのデータの書込をもたらし書込コマンドとのどちらであるかを判定するステップと、

前記動作コマンドのどちらを受け取ったかに無関係に、ライト・バック動作を実行しなければならないかどうかを判定するステップであって、前記ライト・バック動作が、SRAM内の特定のアドレスに一時的に保管されたデータを書き込むことを含む、ステップとを含む方法。

【請求項11】読取コマンドに応答して、前記SRAM内の特定のアドレスを検査して、そこに含まれるデータ・ビットが既にあるかどうかを調べるステップであって、前記特定のアドレスが、データが読み出される前記アドレッシングされたDRAMアレイと同一のアドレスに対応する、ステップをさらに含み前記SRAM内の前記特定のアドレスに、データが含まれない場合に、ライト・バック動作が実行されない請求項10に記載の方法。

【請求項12】前記SRAM内の前記特定のアドレスに、データが含まれる場合に、どのDRAMアレイが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応するかが判定され、

前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出される前記DRAMアレイと一致する場合に、ライト・バック動作が実行されず、

前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出される前記DRAMアレイと一致しない場合に、ライト・バック動作が実行される請求項11に記載の方法。

【請求項13】前記SRAM内の前記特定のアドレスに、データが含まれない場合に、データが読み出される前記DRAMアレイ内の前記データ・ビットが、前記SRAMにコピーされ、そこからの出力のために読取バッファにもコピーされる請求項12に記載の方法。

【請求項14】前記SRAM内の前記特定のアドレスに、データが含まれず、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出されるDRAMアレイと一致する場合に、前記SRAM内の前記特定のアドレス内の前

記データ・ビットが、そこからの出力のために読取バッファにコピーされる請求項12に記載の方法。

【請求項15】前記SRAM内の前記特定のアドレスに、データが含まれ、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレレイが、データが読み出される前記DRAMアレレイと一致しない場合に、前記SRAM内の前記特定のアドレス内の前記データ・ビットが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレレイにライト・バックされ、データが読み出される前記DRAMアレレイからの前記データ・ビットが、前記SRAM内の前記特定のアドレスにコピーされ、そこからの出力のために読取バッファにもコピーされる請求項12に記載の方法。

【請求項16】書込コマンドに応答して、前記SRAM内の特定のアドレスを検査して、そこに含まれるデータ・ビットが既にあるかどうかを調べるステップであって、前記特定のアドレスが、データが書き込まれる前記アドレッシングされたDRAMアレレイと同一のアドレスに対応する、ステップをさらに含み、前記SRAM内の前記特定のアドレスに、まだデータが含まれない場合に、ライト・バック動作が実行されず、書込バッファに含まれるデータ・ビットが、前記SRAM内の前記特定のアドレスに保管される請求項10に記載の方法。

【請求項17】前記SRAM内の前記特定のアドレスに、データが含まれる場合に、どのDRAMアレレイが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応するかが判定され、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレレイが、データが書き込まれる前記DRAMアレレイと一致する場合に、前記書込バッファに含まれる前記データ・ビットが、前記SRAM内の前記特定のアドレスに書き込まれ、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレレイが、データが書き込まれる前記DRAMアレレイと一致しない場合に、ライト・バック動作が実行される請求項16に記載の方法。

【請求項18】前記ライト・バック動作が、さらに、前記書込バッファに含まれる前記データ・ビットを、データが書き込まれる前記DRAMアレレイに直接コピーするステップを含む、請求項17に記載の方法。

【請求項19】前記ライト・バック動作が、さらに、前記SRAM内の前記特定のアドレスに含まれる前記データを、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレレイにコピーするステップと、前記書込バッファに含まれる前記データ・ビットを前記SRAMにコピーするステップとを含む、請求項17に記載の方法。

【請求項20】複数のDRAMアレレイを含む破壊読出D

RAMアーキテクチャでライト・バック動作をスケジューリングする方法であって、動作コマンドを受け取るステップと、

前記動作コマンドが、それによって参照されるアドレッシングされたDRAMアレレイからのデータの読出をもたらす読取コマンドと、それによって参照されるアドレッシングされたDRAMアレレイへのデータの書込をもたらす書込コマンドと、ノー・オペレーション・コマンドとのどれであるかを判定するステップと、前記動作コマンドのどれを受け取ったかに無関係に、ライト・バック判定を実行するステップであって、前記ライト・バック判定が、前記複数のDRAMアレレイの1つにライト・バックされる、SRAM内に一時的に保管されたデータがあるかどうかを判定する、ステップと、前記複数のDRAMアレレイの1つにライト・バックされる、前記SRAM内に一時的に保管されたデータがある場合に、ライト・バックのために前記SRAM内に保管された最も古いデータを選択するステップとを含む方法。

【請求項21】読取コマンドが検出された場合に、読み取られるデータが既に前記SRAMに含まれるかどうかを判定するステップをさらに含む、請求項20に記載の方法。

【請求項22】前記読み取られるデータが、既に前記SRAM内に含まれる場合に、前記データを前記SRAMから出力し、前記読み取られるデータが、既に前記SRAM内に含まれてはいない場合に、前記アドレッシングされたアレレイから前記SRAMに前記データをコピーし、その後、前記データを前記SRAMから出力する請求項21に記載の方法。

【請求項23】書込コマンドが検出された場合に、書き込まれるデータが既に前記SRAM内に含まれるかどうかを判定するステップを含む、請求項20に記載の方法。

【請求項24】前記書き込まれるデータが、既に前記SRAM内に含まれる場合に、前記ライト・バック判定に直接に進み、前記読み取られるデータが、既に前記SRAM内に含まれない場合に、前記アドレッシングされたアレレイ内に保管されたデータを読み取り、前記書き込まれるデータを書込バッファに保管し、前記アドレッシングされたアレレイから読み取られたデータを前記書込バッファ内の前記書き込まれるデータとマージし、これによってマージされたデータ・ビットを構成し、前記マージされたデータ・ビットを前記SRAMに保管し、

前記ライト・バック判定に進む請求項23に記載の方法。

【請求項25】マスク機能を実施するステップであって、前記マスク機能が、前記マージされたデータ・ビットの1つまたは複数が前記SRAMに書き込まれることを選択的に禁止することができる、ステップをさらに含む、請求項24に記載の方法。

【請求項26】前記ライト・バック判定が、さらに、前記SRAM内の前記最も古い保管されたデータに対応する前記DRAMアレイの可用性を検査するステップと、前記SRAM内の前記最も古い保管されたデータに対応する前記DRAMアレイが使用不能である場合に、ライト・バックのために前記SRAM内に保管された次の最も古いデータを選択するステップとを含む、請求項20に記載の方法。

【請求項27】前記SRAMからの前記データの前記出力が、前記読取コマンドが検出された時から4クロック・サイクル以内に達成される請求項22に記載の方法。

【請求項28】前記SRAMへの前記マージされたデータ・ビットの前記保管が、前記書込コマンドが検出された時から2クロック・サイクル以内に達成される請求項24に記載の方法。

【請求項29】前記ライト・バックが、前記動作コマンドが検出された時から1クロック・サイクル以内に達成される請求項26に記載の方法。

【請求項30】ダイナミック・ランダム・アクセス・メモリ(DRAM)構造であって、その中に情報の1ビットを保管することができる、個々のメモリ・セルと、前記メモリ・セルに取外し可能に結合されたビット線であって、さらに、前記メモリ・セルに関して受け取られる動作コマンドの前に当初にプリチャージされる、ビット線と、前記ビット線に取外し可能に結合された信号線であって、前記ビット線上で当初に生成される信号を受け取り、前記ビット線が、前記信号がその上で当初に生成された時にもはやプリチャージされない、信号線と、前記信号線に取外し可能に結合されたデータ線とを含み、前記信号線が、前記メモリ・セルから読み取られたデータ・ビットを、前記データ線へ、前記ビット線がもう一度プリチャージされるのと同時に、送出することができるDRAM構造。

【請求項31】前記信号線に結合されたセンス増幅器であって、前記ビット線が前記メモリ・セルに結合された後に、前記ビット線上で当初に生成される前記信号を増幅する、センス増幅器をさらに含む、請求項30に記載のDRAM構造。

【請求項32】前記メモリ・セルに結合されたワード線であって、前記メモリ・セルを前記ビット線に結合する

ことができる、ワード線をさらに含む、請求項31に記載のDRAM構造。

【請求項33】前記センス増幅器が、前記ビット線が前記信号線から結合解除された後に、前記信号線上の前記信号を増幅する、請求項31に記載のDRAM構造。

【請求項34】前記データ・ビットが、前記メモリ・セルから破壊的に読み取られ、前記データ・ビットが、さらに、一時記憶要素に一時的に保管され、前記データ・ビットを、前記ビット線がもう一度プリチャージされた後に前記メモリ・セルにライト・バックすることができる請求項30に記載のDRAM構造。

【請求項35】相補ビット線の対であって、等しい電圧までチャージされ、相補ビット線の前記対の1つが、前記メモリ・セルに取外し可能に結合される、相補ビット線の対をさらに含む、前記メモリ・セルが、相補ビット線の前記対の前記1つに結合される時に、前記センス増幅器が、相補ビット線の前記対の間の差動電圧を増幅する請求項34に記載のDRAM構造。

【請求項36】前記一時記憶要素が、スタティック・ランダム・アクセス・メモリ(SRAM)を含む、請求項34に記載のDRAM構造。

【請求項37】ダイナミック・ランダム・アクセス・メモリ(DRAM)構造であって、ロウおよびカラムに編成された複数の個々のメモリ・セルであって、メモリ・セルの各カラムが、対応するワード線に結合され、メモリ・セルの各ロウが、相補ビット線の対の1つのビット線に取外し可能に結合される、複数の個々のメモリ・セルと、相補ビット線の前記対を等しい電圧値までプリチャージする等化器と、ビット線の選択された対を信号線の対に取外し可能に結合するマルチプレクサと、信号線の前記対を介して、ビット線の前記選択された対から一時記憶デバイスへデータを転送することができるデータ線とを含むDRAM構造。

【請求項38】ビット線の前記選択された対上で生成される信号を増幅するセンス増幅器をさらに含む、請求項37に記載のDRAM構造。

【請求項39】ビット線の前記選択された対上で生成される前記信号が、ビット線の前記選択された対が信号線の前記対から結合解除された後に増幅される請求項38に記載のDRAM構造。

【請求項40】ビット線の前記対に結合された書込ドライバの対であって、前記個々のメモリ・セルの1つまたは複数から読み取られたデータをそこにライト・バックできるようにする、書込ドライバの対をさらに含む、請求項37に記載のDRAM構造。

【請求項41】ダイナミック・ランダム・アクセス・メモリ(DRAM)アーキテクチャであって、

複数のDRAMアレイと、前記複数のDRAMアレイと通信する一時メモリ・ストレージ・デバイスであって、前記複数のDRAMアレイから読み取られ、それに書き込まれるデータを一時的に保管する、一時メモリ・ストレージ・デバイスと、前記一時メモリ・ストレージ・デバイス内に保管されたデータを、前記複数のDRAMアレイにライト・バックしなければならない時を判定する、スケジューラを含むDRAMアーキテクチャ。

【請求項42】前記スケジューラが、さらに、それへの入力として動作コマンドおよびアドレス・ベクトルを受け取るコントローラと、タグ・メモリを含み、前記タグ・メモリが、前記アドレス・ベクトルを保管することができ、前記動作コマンドが、前記コントローラに、前記複数のDRAMアレイの1つに関する読取動作または書込動作をイネーブルさせる請求項41に記載のDRAMアーキテクチャ。

【請求項43】前記アドレス・ベクトルが、前記複数のDRAMアレイ内の特定のDRAMアレイを参照し、前記アドレス・ベクトルが、さらに、前記特定のDRAMアレイ内の特定のワード線を参照する請求項42に記載のDRAM構造。

【請求項44】前記一時メモリ・ストレージ・デバイスが、スタティック・ランダム・アクセス・メモリ（SRAM）であり、前記SRAMが、その中に複数のワード線を含み、前記ワード線の数、前記複数のDRAMアレイの最大のものに含まれるワード線の数より大きい、請求項43に記載のDRAM構造。

【請求項45】前記動作コマンドおよびアドレス・ベクトルの受取時に、前記スケジューラが、前記SRAM内で前記アドレス・ベクトル内で識別される前記SRAM内の前記特定のワード線に、データがあるかどうかを判定する請求項44に記載のDRAM構造。

【請求項46】前記SRAMに結合された読取バッファと、前記SRAMに結合された書込バッファとをさらに含む、請求項45に記載のDRAM構造。

【請求項47】前記タグ・メモリが、さらに、有効ビットを保管し、前記有効ビットが、前記SRAMに前記アドレス・ベクトルに対応するデータが含まれるかどうかを判定する、請求項42に記載のDRAM構造。

【請求項48】前記コントローラが、さらに、ビット／バイト・マスキング機能を生成する、請求項41に記載のDRAM構造。

【請求項49】前記スケジューラが、直接マッピング・スケジューリング方法を含む、請求項41に記載のDRAM構造。

【請求項50】前記スケジューラが、ライトスルー・スケジューリング方法を含む、請求項41に記載のDRAM

構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全般的には集積回路メモリ・デバイスに関し、具体的には、ダイナミック・ランダム・アクセス・メモリ（DRAM）のアクセス・サイクル・タイムの改善に関する。

【0002】

【従来の技術】サブミクロンCMOS技術の発展が、マイクロプロセッサの速度の大幅な改善をもたらした。およそ3年ごとに4倍の割合で、マイクロプロセッサの速度は、現在、1GHzを超えている。これらのマイクロプロセッサ技術の進歩と共に、より高度なソフトウェアおよびマルチメディア・アプリケーションが現れ、アプリケーションのためにより多くのメモリが必要になる。したがって、より高い密度および性能を有するより大容量のダイナミック・ランダム・アクセス・メモリ（DRAM）の需要が高まっている。

【0003】DRAMアーキテクチャは、より大きいメモリ容量を必要とするシステム要件によって駆り立てられて、長年にわたって進歩してきた。しかし、そのランダム・アクセス時間（t_{RAC}）およびそのランダム・アクセス・サイクル・タイム（t_{RC}）によって表現されるDRAMの速度は、類似する形で改善されてはこなかった。その結果、CPUのクロック速度が経時的に安定して改善されるので、DRAMとCPUの間の速度のギャップが広がりつつある。

【0004】DRAMアレイのランダム・アクセス・サイクル・タイム（t_{RC}）は、一般に、ランダム・アクセス動作のすべてを完了する時間を表すアレイ時定数によって決定される。そのような動作には、ワード線活動化、ビット線上の信号展開、ビット線センシング、信号ライト・バック、ワード線非活動化、およびビット線プリチャージが含まれる。これらの動作は、通常のDRAMアーキテクチャでは順次実行されるので、DRAMの転送速度または帯域幅の増加が、問題になる。

【0005】

【発明が解決しようとする課題】

【課題を解決するための手段】上述および他の従来技術の短所および欠陥は、ロウおよびカラムに編成された複数のメモリ・セルを有するダイナミック・ランダム・アクセス・メモリ（DRAM）システムの動作を制御する方法によって克服または軽減される。本発明の例示的实施形態では、この方法に、破壊読出モードをイネーブルするステップが含まれ、破壊読出モードは、アドレッシングされたDRAMメモリ・セルに保管された情報のビットを破壊的に読み出すためのものである。破壊的に読み出された情報のビットは、一時的に一時記憶デバイスに保管される。遅延ライト・バック・モードがイネーブルされ、この遅延ライト・バック・モードは、アドレッシングされたメモリ・セルに保管された情報のビットを破壊的に読み出すためのものである。破壊的に読み出された情報のビットは、一時的に一時記憶デバイスに保管される。遅延ライト・バック・モードがイネーブルされ、この遅延ライト・バック・モードは、アドレッシングされたメモリ・セルに保管された情報のビットを破壊的に読み出すためのものである。

シングされたDRAMメモリ・セルに後で情報のビットを復元するためのものである。その後、遅延ライト・バック・モードの実行が、一時記憶デバイス内のスペースの可用性に応じてスケジューリングされる。

【0006】好ましい実施形態では、破壊読出モードのイネーブルに、プリチャージされた相補ビット線の対での差動信号の展開が含まれ、このビット線の一方が、アドレッシングされたDRAMメモリ・セルに結合される。差動信号が、ビット線の対からセンス線の対に転送され、センス線は、その直後にビット線から分離される。その後、ビット線の対がプリチャージされる。

【0007】添付図面では、類似する要素に、複数の図で類似する符号を付す。

【0008】

【発明の実施の形態】まず図1および2を参照すると、CMOSのクロスカップリングされたセンス増幅器(SA)を使用する従来のDRAMアレイ・アーキテクチャが示されている。DRAMアレイ100には、行列パターンに配置された複数のDRAMセル102が含まれる。各DRAMセル102には、データ・ビット記憶要素として機能する、1つの電界効果トランジスタ(FET)104および1つのキャパシタ106が含まれる。従来のDRAMアレイ100の動作は、下記の順次信号処理ステップの説明によって最もよく理解される。

- (A) ビット線上(BLおよびBLバー)での信号展開
- (B) ビット線(BL)センシング
- (C) 信号ライト・バック
- (D) ビット線(BL)プリチャージ動作

【0009】(A) ビット線(BLおよびBLバー)での信号展開。FET104のゲートが、ワード線(WL)に結合される。WLがロウである限り、キャパシタ106が、電荷としてデータ・ビットを保持する。キャパシタ106は、「データ0」ビットの場合に0V、「データ1」ビットの場合に所定の電圧(V_{DD})を保持する。ビット線対(BLおよびBLバー)は、ビット線(BL)等化デバイス120によって(Φ_{BQ} =ハイの時に) $1/2 V_{DD}$ レベルに既にプリチャージされている。プリチャージ動作は、ステップ(D)で説明する。WLがハイになる時に、キャパシタ106が、FET104を介して対応するビット線(BL)に結合される。しかし、ワード線(WL)活動化の前に、BL等化デバイス120が、ターン・オフされる(Φ_{BQ} =ロウの時に)。したがって、キャパシタ106に蓄積された電荷を転送することによって、ビット線電圧を変更することが可能である。

【0010】(B) ビット線(BL)センシング。CMOSのクロスカップリングされたセンス増幅器(SA)130が、クロック信号 Φ_N をロウに駆動し、クロック信号 Φ_P をハイに駆動することによって、BLとBLバーの間の差動電圧を増幅する。CMOSのクロスカップ

リングされたセンス増幅器の動作は、当技術分野で周知であり、以下でこれ以上詳細には説明しない。

【0011】(C) 信号ライト・バック。BL信号が十分に増幅された後に、カラム選択線(CSL)によって、カラム・スイッチ・デバイス140を活動化する。これによって、BL対が、 V_{DD} にプリチャージされたデータ線対(DLおよびDLバー)に結合される。したがって、データ読取モード中に、差動電圧が、DL対で生成され、この差動電圧が、第2のセンス増幅器(図示せず)によってセンシングされる。書込モード動作中に、BL対を、DL対から駆動されるデータ・パターンに応じて「フリップ」することができる。BLセンシング動作の前に書込モードをイネーブルしてはならないことを指摘する必要がある。というのは、書込モード(WRITE)でのBLスイングが、信号展開中の隣接するBL(READ)にカップリング・ノイズを引き起こし、これによってセンシング信号が破壊されるからである。その後、ビット線電圧を、FET104を介してキャパシタ106に蓄積する。

【0012】(D) ビット線(BL)プリチャージ動作。最後に、ワード線(WL)を非活動化し、これによって、DRAMセル102をビット線対から分離する。したがって、データ・ビットが、キャパシタ106内で維持される。その後、SA130が非活動化され、BL等化デバイス120がBLを等化し、その結果、BLが、もう一度 $1/2 V_{DD}$ レベルでプリチャージされる。

【0013】図2のタイミング図に、通常の「1」ビット読取とその後の「0」ビット書込の動作の例が示されている。信号展開ステップ(A)中に、WLの電圧がロウからハイになる。当初は、ビット線対BLおよびBLバーの両方が、前のプリチャージから1.5Vである(例示のみのために、 $V_{DD}=3V$ であると仮定する)。WLがハイになった後に、FET104のゲートが、ターン・オンされ、これによって、キャパシタ106(3V/「1」ビット電荷を蓄積されている)がBLに結合される。BLの電圧が、1.5Vから上昇し始めるが、BLバーの電圧は、1.5Vにとどまる。BLおよびBLバーに接続されたSA130が、ステップ(B)中にイネーブルされる時に、BLとBLバーの間の差動電圧が、センシングされ、その後、増幅される。したがって、BLが、3Vまで駆動されるが、BLバーは、0Vに駆動される。これによって、DRAMセル102へのデータのライトバックが可能になる。SA130がないと、DRAMセル102のデータは、キャパシタ106がBLに結合される時に失われる。

【0014】この例では「0」ビット書込が要求されるので、BLおよびBLバーの値が、ステップ(C)中に「フリップ」され、DLバーをハイに保ちながらDLをロウに駆動することによって、BLが0Vに駆動され、BLバーが3Vに駆動される。したがって、キャパシタ

106は、0Vにプルされ、WLがまだハイなのでまだBLに結合されている。最後に、ステップ(D)で、WLが非活動化され、「0」ビットがDRAMセル102に書き込まれ、BLおよびBLバーが、もう一度1.5Vにプリチャージされる。

【0015】このように構成された既存のアーキテクチャであるDRAMアレイ100では、上で述べた動作(A)、(B)、(C)、および(D)のすべての順次実行に起因して、総ランダム・アクセス・サイクル・タイム(t_{RC})を改善することが困難になる。したがって、本発明の1実施形態によれば、図3および4に、DRAMアレイ200と、「破壊読出」アーキテクチャを特徴とするその動作を示す関連するタイミング図が示されている。例示のみのために、以下で説明する類似する構成要素は、前に説明した構成要素と同一の符号を有する。

【0016】前に説明した要素のほかに、DRAMアレイ200には、さらに、ビット線(BL)とセンス線(SL)の間に接続されたスイッチング・デバイス150が含まれる。やはり、WLがハイになる時に、キャパシタ106が、FET104を介して対応するビット線(BL)に結合される。WL活動化の前に、BL等化デバイス120が、ターン・オフされ(Φ_{Eq} =ロウ)、キャパシタ106から電荷を転送することによってBL電圧を変更することが可能になる。その後、スイッチング・デバイス150が、一時的にターン・オンされて、BL対上で展開された信号をSL対に転送する。その後、スイッチング・デバイス150が、ターン・オフされ、プリチャージ動作がBLに対して実行される前に、SLが、BLから結合解除される。これによって、センシング信号がBLおよびSL上で展開された後に、即座に、同時に、WL、BL、およびBLバーをプリチャージできるようにする。

【0017】したがって、SA130は、「パイプライン」式にSLとSLバーの間の差動電圧を増幅する。図1から2に示された従来のアーキテクチャと異なって、SA130は、データ線(DL)へのデータ・ビットの転送だけに使用される。DLからのBLの分離に起因して、DRAMセル102のキャパシタ106の信号は、その信号が読み出された後に破壊される(したがって、破壊読出アーキテクチャを構成する)。その後、DLに転送されたデータ・ビットが、スタティック・ランダム・アクセス・メモリ(SRAM)にコピーされる。書込モード中に、データ・ビットが、「ライト・スルー」として、対応するDRAMセルに直接に書き込まれる。代替案では、書き込まれるビットを、読み取り、読取モードに類似する将来の遅延ライト・バックのためにSRAMに保管することができる。読取ビットの一部を、入力データ・ビットによって上書きし、将来の遅延ライト・バックのためにSRAMに保管することができる。その

ような動作によって、チップが、ビット・マスク・モードまたはバイト・マスク・モードをサポートできるようになる。

【0018】実施されるライトスルー動作および遅延書込動作に無関係に、ワード線(WL)によってアクセスされるデータ・ビットのすべてが、対応するDRAMセルに同時にライト・バックされる。書込モードは、信号展開の前に開始することができ、これによって、通常は書込モード中にこもり込む t_{RC} ペナルティが回避される。したがって、破壊読出アーキテクチャによって、システムが読取モードと書込モードのどちらであるかに無関係に、(B)ビット線センシングおよび(C)信号ライト・バックの動作ステップによって表される、総 t_{RC} の時間成分が除去される。その結果、図3から4に示されたアーキテクチャを使用する、ランダム・アクセス・サイクル・タイム(t_{RC})の総合的な速度改善は、通常のDRAMアーキテクチャの2倍程度になる。

【0019】図3から4のタイミング図には、さらに、ステップ(B)および(C)の除去が示されている。WLがイネーブルされ、ビット線信号差が展開された後に、ビット線が、即座にプリチャージされ、1.5Vに戻される。データ・ビットの再書込またはフリップに使用される増幅は、分離されたSLおよびSLバー信号線で行われ、このビットが、将来の使用のためにSRAMに保管される。したがって、読み取られた(セルから破壊される)データが、一時的にSRAMに保管され、必要な場合に後にセルに再書込されるので、サイクルは、ステップ(A)および(D)の後で完了する。

【0020】図5を参照すると、本発明の実施形態によるアーキテクチャ300が示されている。アーキテクチャ300には、所与のチップ内の、複数のDRAMアレイ302(アレイ<0>からアレイ<255>によって個別に指定される)と、少なくとも1つのSRAM304が含まれる。各DRAMアレイ302のサイズを、異なるものとすることができるが、SRAM304のデータ・ビットの総数は、最大の個々のDRAMアレイ・サイズより大きくしなければならない。任意選択として、複数のDRAMアレイ302を、バンクとしてグループ化することができる。この場合に、SRAMアレイの密度を、複数のDRAMアレイを含むDRAMバンク・サイズ以上にしなければならない。例示のみのために、以下の説明では、合計256個のDRAMアレイがあり、それぞれが32K個のセルからなると仮定する。32K個のセルは、それぞれが、256本のワード線(WL)および128本のビット線(BL)対によってアクセスされる。SRAM304のアレイは、各DRAMアレイ302に類似する形(256本のWLおよび128本のBL対によってアクセスされる32K個のセルを有する)で編成される。

【0021】前に述べたように、DRAM読取コマンド

によって、32K個のDRAMアレイ302内でセンシングされたデータ・ビットのすべて(128b)が、SRAM304に読み出される。スケジューラ306が、DRAMアレイ302およびSRAM304を制御し、記憶し、その結果、SRAM304に保管されたデータ・ビットが、遅延ライト・バックとして、対応するDRAMアレイ302に正しくライト・バックされるようにする。スケジューラ306は、CPU(図示せず)などの制御側エンティティから、16ビット・アドレス・ベクトル(ADD<0:15>によって指定される)と共にコマンド信号(CMD)を受け取る。アドレス・ベクトルのビット8から15(ADD<8:15>)は、選択されたアレイのデコードに使用され、256個のDRAMアレイ302の1つを表す。アドレス・ベクトルのビット0から7(ADD<0:7>によって指定される)は、選択されたDRAMアレイ302内の個々のWLをデコードするのに使用される。コマンド信号(CMD)は、読取モードまたは書込モードのいずれかに対応する信号である。

【0022】図5に示されたアーキテクチャ300の1実施形態では、DRAMおよびSRAMのアクセスをスケジューリングする直接マッピング・スケジューリング方法が企図されている。直接マッピング・スケジューリング方法では、SRAMから対応するDRAMアレイへのライト・バック動作は、異なるDRAMアレイからSRAMにコピーされる新しいデータが同一のワード線から来る時に限ってイネーブルされる。たとえば、読取動作が、アレイ<1>のワード線0のデータについて実行されるが、SRAMに、すでに他のアレイのいずれかからのワード線0についてデータが保管されている場合に、SRAMにアレイ<1>のワード線0に含まれる新しいデータを保管する前に、前に保管されたワード線0のデータを、それが来た元のアレイにライト・バックしなければならない。

【0023】例示のみのために、スケジューラ306は、さらに、バイトまたはビットのマスキング機能なしで、128個のデータ入力およびデータ出力(DRAMアレイ302から得られる最大個数のビットに対応する)をサポートする。スケジューラ306が、より少ないビット数(たとえば64ビット)、バイト・マスクまたはビット・マスクをサポートする時には、異なるスケジューリング方法が使用される。データ入力ピン(DI)およびデータ出力ピン(DO)は、共用されないことが好ましいが、この実施形態がこの形に制限されないことを諒解されたい。

【0024】スケジューラ306には、さらに、タグ・メモリ308が含まれ、タグ・メモリ308には、DRAMアレイ302およびSRAM304に類似する256本のワード線(WL)が含まれる。個々のタグ・メモリ308のセルは、対応するWLを活動化するためにA

DD<0:7>を介してアクセスされる。タグ・メモリ308のセルは、256個のDRAMアレイの1つを識別する8つのアレイ・アドレス・ビット(AB)を保管する対応するWLならびにSRAMの可用性を検査する有効ビット(VB)によって活動化される。具体的に言うと、タグ・メモリ内のVBが「1」である場合に、SRAM304に、ビットABによって識別される、対応するDRAMアレイのデータ・ビットが含まれる。

【0025】好ましくは(1)タグ・アクセスおよびデータ入力と、(2)DRAMアクセスと、(3)データ出力を含む、3フェーズ・パイプライン・ステージ方式が、直接マッピング・スケジューリング方法に使用される。しかし、他のパイプライン方式が企図されている。

【0026】直接マッピング・スケジューリング方法を使用するDRAMのアーキテクチャ300の動作は、下記の説明から理解される。まず、当初に、所定の読取コマンド(CMD)によって読取モードが検出されると仮定する。読取モードが検出された後に、下記のパイプライン方式がイネーブルされる。

【0027】フェーズI: SRAM304が、その中にある、アドレス・ベクトルADD<0:7>によって識別される特定のWLからのデータ・ビットの検査を即座に開始する。具体的に言うと、タグ・メモリ308内の対応するWLが、入力アドレス・ベクトル(ADD<0:7>)にも従って、アクセスされる。有効ビット(VB)およびアドレス・ビットABが、タグ・メモリ308から同時に読み出される。タグ・メモリ308が、将来のアクセスのためにビットAB(AB=ADD<8:15>をセットすることによって)およびVB(VB=1をセットすることによって)を更新する。スケジューラ306内に配置されたコントローラ310が、有効ビット(VB)の状態を検査する。

【0028】フェーズII: VB=0の場合に、SRAM304に、データ・ビットが含まれない(読取ミス/ライト・バックなし)。これによって、DRAMアレイ読取アクセス・モードがイネーブルされる。コントローラ310が、ADD<0:15>を介して対応するDRAMアレイ読取動作を活動化し、それに続いてADD<0:7>を介してSRAMアレイ書込動作を活動化する。したがって、アドレッシングされたDRAMアレイ内の活動化されたWLに結合されたすべてのデータ・ビットが、この第2のパイプライン・フェーズ中にSRAM304にコピーされる。データ・ビットは、読取バッファ312にもコピーされる。VB=1の場合には、SRAM304に、前にアクセスされたDRAMアレイ302からのデータ・ビットが含まれる。コントローラ310は、アドレス・ビットABがADD<8:15>のビットと同一であるか否かを検出する。この検出が、第1パイプライン・フェーズで行われることに留意された

い。アドレス・ビットが一致する場合（読取ヒット）、コントローラ310は、この第2パイプライン・フェーズでDRAMアレイ読取動作をイネーブルしない。第1パイプライン・ステージでSRAM304から読み取られたデータ・ビットが、読取バッファ312にコピーされる。

【0029】しかし、アドレス・ビットが一致しない（読取ミス／ライト・バック）場合には、コントローラ310が、アドレス・ベクトル $ADD < 0 : 15 >$ を用いて識別される対応するDRAMアレイ302のDRAM読取アクセス・モードをイネーブルする。対応するDRAMアレイ302からのデータ・ビットが、SRAM304および読取バッファ312にコピーされる。それと同時に、コントローラ310が、アドレス・ビットABによって識別される対応するDRAMアレイ302へのSRAM304からのDRAMライト・バックをイネーブルする。第1パイプライン・ステージでSRAM304から読み取られたデータ・ビットが、アドレス・ビットABおよびアドレス・ベクトル $ADD < 0 : 7 >$ によって識別される対応するDRAMアレイ302にライト・バックされる。デュアル・ポートSRAMが、この同時読取書込動作に使用されることが好ましい。

【0030】フェーズIII：データ・ビットが、読取バッファ312からデータ出力ピン（DO）に読み出される。

【0031】ここで、所定の書込コマンドによって書込モードが検出されると仮定する。書込モードが検出される時には、もう1つのパイプライン方式がイネーブルされる。

【0032】フェーズI：データ入力ピン（DI）の書込データ・ビットが、書込バッファ314に置かれる。それと同時に、タグ・メモリ308の対応するWLが、入力アドレス・ベクトル（ $ADD < 0 : 7 >$ ）に従ってアクセスされる。タグ・メモリ308が、将来のアクセスのために、アドレス・ビットAB（ $AB = ADD < 7 : 15 >$ をセットすることによって）およびVB（VB=1をセットすることによって）を更新する。あらかじめ、コントローラ310が、有効ビット（VB）の状態を検査する。

- 1 DRAMアレイ0、ワード線0への書込（W 0、0）
- 2 DRAMアレイ1、ワード線0への書込（W 1、0）
- 3 DRAMアレイ0、ワード線1への書込（W 0、1）
- 4 DRAMアレイ1、ワード線1への書込（W 1、1）
- 5 DRAMアレイ0、ワード線0からの読取（R 0、0）
- 6 DRAMアレイ1、ワード線0からの読取（R 1、0）
- 7 DRAMアレイ0、ワード線1からの読取（R 0、1）
- 8 DRAMアレイ1、ワード線1からの読取（R 1、1）

【0037】図示の例では、好ましい実施形態の「遅延ライト・バック」実施形態が、書込モードに使用される。

【0033】フェーズII：VB=0の場合には、SRAM304に、データ・ビットが含まれない（書込ミス／ライト・バックなし）。したがって、コントローラ310は、SRAM304が、第1パイプライン・フェーズ中に書込バッファ314に置かれたデータ・ビットを保管できるようにする。VB=1の場合には、SRAM304に、あるデータ・ビットが含まれる。コントローラ310は、AB内のビットが、 $ADD < 7 : 15 >$ のビットと同一であるか否かを検出する。読取モードと同様に、書込モード検出も、第1パイプライン・ステージで行われる。アドレス・ビットが一致する（書込ヒット）場合には、SRAM304の対応するデータ・ビットが上書きされる。

【0034】しかし、アドレス・ビットが一致しない（書込ミス／ライト・バック）場合には、前に保管されたデータ・ビットが、対応するDRAMアレイ302に転送される（以下では、遅延ライト・バックと称する）間に、書込バッファ314のデータ・ビットが、SRAM304に書き込まれる。SRAM304内に新しいデータを保管するために、タグ・メモリ308を更新しなければならない。代替案では、SRAM304に書き込まず、タグ・メモリ308を更新せずに、書込バッファ314のデータ・ビットを、ライト・スルーとしてDRAMコアに直接にライト・バックすることができる（以下ではライト・スルーと称する）。ライト・スルーの前に、SRAMに、対応するDRAMコアの古いデータ・ビットが含まれる場合に、タグ・メモリ内のVBに0を上書きしなければならない。しかし、SRAMに、このライト・スルーに関係しない別のDRAMコアのデータ・ビットが含まれる場合には、データ・ビットおよび有効ビットVBを、そのままに保たなければならない。

【0035】フェーズIII：動作なし。

【0036】図6は、上で説明した直接マッピング・スケジューリング方法を使用するDRAMおよびSRAMのアレイ動作の例を示すデータ・フロー図である。例として、DRAMアレイ302のうちの2つだけ（アレイ<0>およびアレイ<1>）を使用して、8つの順次クロック・サイクル中に受け取られる下記のコマンドを示す。

【0038】第1クロック・サイクル中に、DRAMアレイ0のワード線0にデータを書き込むコマンドが受け取られる。入力ピンDIに送られる（W 0、0）のデ

ータは、当初は、細い実線の矢印によって示されるように、書込バッファ314に保管される。当初は、SRAM304に、前にデータ・ビットが含まれず、したがって、(W 0、0)データを、次のパイプライン・フェーズ(クロック・サイクル)中にSRAM304に保管することができると仮定する。第2クロック・サイクル中に、DRAMアレイ1、ワード線0に関する書込コマンドが受け取られる。(W 0、0)データが、書込バッファ314からシフトされ、SRAM304に書き込まれる。それと同時に、(W 1、0)データが、細い破線の矢印によって示されるように、書込バッファ314に保管される。

【0039】第3クロック・サイクル中に、DRAMアレイ0、ワード線1に関する書込コマンドが受け取られる。やはり、(W 0、1)データが、太い破線の矢印によって示されるように、書込バッファ314に移動される。しかし、SRAM304のワード線0に、既にデータが含まれる((W 0、0)から)ので、SRAMは、即座に(W 0、0)データを対応するDRAMアレイに書き込み、その結果、前に第2クロック・サイクル中に書込バッファ314に入力された(W1、0)データを保管できるようにしなければならない。したがって、この第3クロック・サイクルの終りに、DRAMアレイ0に、(W 0、0)データが含まれ、SRAM304に、(W 1、0)データが含まれ、書込バッファ314に、(W 0、1)データが含まれる。

【0040】第4クロック・サイクル中に、DRAMアレイ1、ワード線1に関する書込コマンドが受け取られる。やはり、このデータは、太い実線の矢印によって示されるように、まず書込バッファ314に保管される。しかし、この時に、SRAM304のワード線1がクリアされているので、このクロック・サイクルでDRAMへの即座のライト・バックが行われないうちに留意されたい。その代わりに、(W 1、0)データが、第3クロック・サイクル中に保管されるのと同様に、(W 0、1)データが、SRAM304に保管される。

【0041】第5クロック・サイクルを参照すると、DRAMアレイ0、ワード線0に関する読取コマンドが受け取られる(最初に第1クロック・サイクルで入力された(W 0、0)データが、第3クロック・サイクル中にDRAMアレイ0に書き込まれたことを想起された)。上で説明したパイプライン方式に沿って説明を続けると、SRAM304内の(W 0、1)データが、DRAMアレイ0、ワード線1に書き込まれる。これは、SRAM304のワード線1が、書込バッファ314からの(W 1、1)データの保管に必要なからである。

【0042】第6クロック・サイクル中に、DRAMアレイ1、ワード線0に関する読取コマンドが受け取られる。SRAMのワード線0が、前のクロック・サイクル

中に要求された(R 0、0)データの保管に必要なので、要求されたばかりの(W1、0)データが、最終的にDRAMアレイ1、ワード線0に書き込まれる。その後、DRAMアレイ0、ワード線0に含まれるデータが、そこから読み取られ、SRAM304と読取バッファ312の両方に保管される。やはり、破壊読出アーキテクチャに起因して、SRAMに(W 0、0)データも保管される。というのは、ある時点で、これをDRAMアレイ0、ワード線0に再ライト・バックしなければならないからである。

【0043】第7クロック・サイクルを参照すると、DRAMアレイ0、ワード線1に関する読取コマンドが受け取られる。前の読取コマンドがDRAMアレイ1、ワード線0のデータに関するものであったことを想起すると、SRAMワード線0が必要になる。したがって、(W 0、0)データが、場所を空けるために即座にDRAMアレイ0、ワード線0に再ライト・バックされる。それと同時に、DRAMアレイ1、ワード線0のデータが、そこからSRAM304と読取バッファ312の両方に読み取られる。DRAMアレイ0、ワード線0から読み取られたデータは、そこにライト・バックされたばかりであるが、前に読取バッファ312にも保管されており、データ出力ピンDOを介して送出される。

【0044】最後に、第8クロック・サイクル中に、DRAMアレイ1、ワード線1に関する読取コマンドが受け取られる。SRAMのワード線1が、前の(R 0、1)コマンドからのデータを保持するのに必要なので、要求されたばかりの(W 1、1)データが、最終的にDRAMアレイ1、ワード線1に書き込まれる。その後、DRAMアレイ0、ワード線1からの要求されたデータが、SRAM304および読取バッファ312に読み込まれ、それと同時に、読取バッファ312に前に保管されたデータが、データ出力ピンDOを介して出力される。

【0045】前述から、破壊読出でのライト・バック動作全体が、直接マップ・スケジューリングを使用して実現されることがわかる。さらに、SRAMアレイ・サイズが、最大のDRAMアレイ・サイズ以上なので、同一のアレイが継続的にアクセスされる場合であっても、SRAMオーバーフローが発生しない。やはり、データ入力ピン(DI)およびデータ出力ピン(DO)は、この例で共用されないことが好ましいが、他の構成が企図されている。

【0046】図7を参照すると、代替のスケジューリングの方法500の実施形態が、流れ図によって示されている。方法500は、判断ブロック502から開始され、読取コマンドが検出された、書込コマンドが検出された、またはコマンドが検出されなかったのいずれであるかが判定される。たとえば、読取コマンドが検出された場合には、方法500は、判断ブロック504に進ん

で、SRAMに「ヒット」または「ミス」のどちらがあるかを判定する。「ヒット」は、読み出されるデータが、すでにSRAMアドレスの1つに含まれることを意味し、「ミス」は、データがSRAM内にないことを意味する。「ミス」の場合には、ブロック506で、読み出されるデータが、対応するDRAMアレイからアクセスされ、使用可能な最下位のSRAMアドレスにコピーされる。その後、ブロック508で、SRAMからデータを読み取る。その一方で、「ヒット」の場合には、データが既にSRAM内にあり、方法500は、直接にブロック508に進む。

【0047】判断ブロック502で、書込コマンドが検出される場合には、方法500は、判断ブロック512に進む。ここで、やはりSRAMの「ヒット」または「ミス」のどちらがあるかを判定する。「ミス」の後に（ライト・バック・ノード510に進むほかに）、方法は、ブロック514および516の両方に進む。ブロック514で、存在するすべてのデータ・ビットを、対応するDRAMから読み取る。それと同時に、ブロック516で、書き込まれる新しいデータを、書込バッファに送る。その後、ブロック518で、DRAMからの読取データと書込バッファからの書込データをマージし、使用可能な最下位のSRAMアドレスに保管する。マージされたデータが、対応するDRAM例に即座に書き込まれるのではなく、SRAMに保管518されることに留意されたい。

【0048】読取コマンド、書込コマンド、またはコマンドなし（NP）のどれが検出されたかに無関係に、方法500は、最終的に、ライト・バック・ノード510に進み、判断ブロック520で、ライト・バック判定を行う。判断ブロック520のライト・バック判定では、SRAMにデータ（ライトバックのために使用可能なDRAMにライト・バックされる）があるかどうかを判定する。対応するDRAMにライト・バックすることができるデータがない場合には、この時点ではこれ以上の動作は行われない。その一方で、ライトバックに使用可能なデータ・ビットがある場合には、そこに保管された（読取動作または書込動作のいずれかから）最も古いデータが、ブロック522で、正しいDRAMアレイにライト・バックされる／書き込まれる。

【0049】図8から10に、図7で説明した方法の実施形態の好ましいパイプライン図を示す。図8に示されているように、DRAMアレイ読取アクセス動作は、4つのパイプライン・ステージすなわち、アドレス・ベクトルADD<0:15>に関するコマンド検出およびアドレス・デコーディング（COM-DEC）602と、WL活動化および信号展開（WL-SIGDEV）604と、データ・ビットをセンシングし、SRAMおよびデータ読取バッファに転送する、SA活動化およびSRAMデータ・コピー（SA-SRAM）606と、SR

AMからのDQ読取（SRAM-DO）608に分割される。一連のコマンド（番号0から4）が、各連続するクロック・パルス（垂直の破線によって示される）でパイプラインを通過して進行するので、図示されている。

【0050】前に説明した直接マッピング方法の実施形態とは異なって、SRAM304では、前に保管されたデータ・ビットが含まれない最下位アドレスのデータ・セルにデータ・ビットが保管される。DRAMアレイが、第3パイプライン・ステージでBLおよびWLのプリチャージ動作を開始することに留意されたい。第4パイプライン・ステージで、データ・ビットが、読取データ・バッファからデータ出力ピンに送られ、これによって、4（クロック・サイクル）の読取待ち時間がもたらされる。

【0051】図9では、DRAMアレイ書込モードに、さらに、最初のコマンド検出から1の書込待ち時間を有する、データ入力ピン（DI）からのデータ入力パイプライン・ステージが含まれる。やはり、DRAMアレイ書込モードの最初のパイプライン・ステージは、図8のDRAMアレイ読取アクセス・モードの場合と同様に、コマンド検出およびアドレス・デコーディング（COM-DEC）602である。第2パイプライン・ステージは、やはりDRAMアレイ読取アクセス・モードに類似する、WL活動化および信号展開（WL-SIGDEV）604である。しかし、第2パイプライン・ステージに、1の書込待ち時間を有する、データ入力ピンから書き込みバッファへのデータ入力ステージ（DI）610が含まれる。任意選択として、データ・ビットを、第1パイプライン・ステージで書込バッファに取り出すことができ、0の書込待ち時間をサポートするためにデジタル的に遅延させることができる。第3パイプライン・ステージでは、データ・ビットが、センス増幅器からSRAMに転送（SA-SRAM）612されるが、一部のデータ・ビットを、データ書込バッファに取り出されたデータ・ビットによって上書き（DI-SRAM）614することができる。たとえば、64本のデータ入力ピンを有するDRAMアレイが、128ビットを転送すると仮定すると、128ビットのうちの64ビットが上書きされる。任意選択として、いくつかのビットの上書き機能（たとえば64ビットのうちの8ビット）を、バイト・マスク・コマンドまたはビット・マスク・コマンドを使用することによって禁止することができる。これらのデータ・ビット処理は、SRAM書込モードの前にイネーブルされる。したがって、SRAMには、データ入力もしくはバイト・マスク機能またはビット・マスク機能について処理済みのデータ・ビットが保管される。DRAMアレイ読取アクセス・モードに類似して、SRAMアレイでは、ライト・バックのために前に保管されたデータ・ビットを含まない最下位アドレスのデータ・セルにデータ・ビットが保管される。

【0052】図10を参照すると、対応するDRAMアレイが、SRAMに前に保管されたデータ・ビットをライト・バックするのに使用可能である時に、遅延ライトバック・パイプラインをイネーブルすることができる。第1パイプライン・ステージは、コマンド検出およびアドレス・デコーディング・ステージ（COM-DEC）602であり、これは、やはり、他の2つのパイプラインに類似する。この第1パイプライン・ステージ中に、スケジューラが、対応するDRAMアレイが第2パイプライン・ステージに使用可能であるか否かを判定する。第2パイプライン・ステージで読み取られるDRAMデータについて、所与の時点で、多くとも1つのDRAMアレイだけが使用不能であることに留意されたい。コマンドが与えられない場合には、すべてのDRAMアレイが、DRAMライト・バックに使用可能である。スケジューラは、まず、ライト・バックのために前に保管されたデータ・ビットを含む最下位アドレスのデータ・セル内のデータ・ビットを判定する。その後、スケジューラは、DRAMアレイが第2パイプライン・ステージでのライト・バックに使用可能であるか否かを判定する。DRAMアレイが使用可能でないと判定される場合には、スケジューラは、前にライト・バック動作のために保管されたデータ・ビットを含む次に下位のアドレスのデータ・セルを選択する。これらの検出およびスケジューリングは、第1パイプライン・ステージで行われる。実際のライト・バック動作（WL-Write Back）616は、このスケジューリングに従って、第2パイプライン・ステージでイネーブルされる。

【0053】図11は、図8から10に示されたパイプライン方式に関して、図7の方法の内部動作と外部動作を比較するタイミング図である。図11では、「Axyz」指定の「xyz」が、DRAMアレイ（0または1）、コマンド（R=読取、W=書込、B=ライト・バック）、およびアドレスを表す。たとえば、指定AOR0は、読取モード・コマンドが、アレイ0のアドレス0について検出されたことを意味し、指定AOW7は、書込モード・コマンドが、アレイ0のアドレス7について検出されたことを意味する。さらに、指定A1B9は、ライト・バック・モードが、アレイ1のアドレス9について検出されたことを意味する。

【0054】DRAMコマンドは、クロック（CLK）と同期化されたアドレス・ストロブ（ADS）および書込イネーブル（WE）と、アレイ状況によって検出される。具体的に言うと、ADSがハイの場合に、ノー・オペレーション・コマンド（NP）が検出される。ADSがロウの場合に、DRAMは、パイプライン内に示されたアドレス（ADD）を受け入れる。WEがハイの場合に、読取モードがイネーブルされ、データ・ビットが、4の読取待ち時間でデータ出力ピン（DO）に出力される。WEがロウの場合に、書込モードがイネーブル

され、データ・ビットが、1の書込待ち時間でデータ入力ピン（DI）から入力される。しかし、前のスケジューリング実施形態で述べたように、追加のデータ入力パイプライン・ステージを追加することによって、0の書込モード待ち時間を使用することができる。

【0055】対応するアレイでのライト・バック動作は、次の条件の1つが検出される時にスケジューリングされる：（1）NP、（2）SRAMヒット、または（3）他のアレイの活動化。たとえば、クロック・サイクル1に検出されるAOR0コマンドが、アレイ1のライト・バック動作（A1B9）のトリガになる。クロック・サイクル1に検出されるA1R3コマンドが、アレイ0のライト・バック動作（A0B0）のトリガになる。クロック・サイクル2に検出されるNPコマンドが、アレイ0のライト・バック動作（A0B7）のトリガになる。その後、クロック・サイクル3に検出されるAOR5コマンドが、アレイ1のライト・バック動作（A1B3）のトリガになる。

【0056】最後に、図12に、図7から11に示した方法を実施する例示的なDRAMセルの構造800の概略を示す。構造800には、セル802、BL等化器（EQ）804、センス増幅器（SA）806、および書込ドライバ（WD）808が含まれる。NMOSマルチプレクサ（MUX）810も、破壊読出パイプライン動作のためにBL対からSL対への間の結合に使用される。読取モードまたは書込モードが検出された時に、ワード線（WL）がハイになる。これは、やはり、BL対上の信号の展開をもたらす。その後、WLが非活動化され、等化器（EQ）が、同時に、信号がBL対上で展開されてビット線を再チャージした直後に、ターン・オンする。この信号展開フェーズでは、パルス信号REが、周期的にMUXをターン・オンし、BL対をSL対に結合する。BL対とSL対の間の信号転送は、SL容量が非常に小さいので、高速である。パルス信号REがロウになる時に、SA806が、SLセンシングを開始する。直接センシング方式が使用されることが好ましいが、他のセンシング方式が企図されている（センシング方式に関する追加情報は、参照によって本明細書に組み込まれる、ナガイ（Takeshi Nagai）他著、「A 17 ns, 4Mb CMOS DRAM」、IEEE Journal of Solid-State Circuits, Vol. 26, No. 11, pp. 1538-1543、1991年11月に記載されている）。

【0057】センシング結果は、好ましくはDRAMアレイ上に配置される、階層データ線（MDQ）812を介してSRAMに転送される（階層データ線に関する追加情報は、参照によって本明細書に組み込まれる、キリハタ（Toshiaki Kirihata）他著「Fault-Tolerant Designs for 256Mb DRAM」、IEEE Journal of Solid-State Circuits, Vol. 31, No. 4, pp. 558-566、1996年4月に記載されている）。信号ライト・バック動作のた

めに、WLがハイになる。同時に、信号ライト・バック（WR TBACK）がハイになり、MDQデータ・パターンに応じて、BLおよびBLバーを強制的にハイおよびロウ（またはロウおよびハイ）にする。1ページ内のすべてのBLが、書込ドライバ808によって強制されてBLーBLバー結合効果に起因するデータ・ビット破壊が回避されるので、レイト・ライト・ペナルティはない。BLスイングは、通常の書込のフルBL電圧スイングの半分にされ、ライト・バック速度がさらに改善される。WLが非活動化され、信号がセルにライト・バックされた直後に、等化器（EQ）がターン・オンする。図12の実施形態では、単一データ・レート同期DQインターフェースが仮定されているが、本発明は、この構成に制限されない。プロトコルに、インターフェースに関するダブル・データ・レート・プロトコルも含めることができ、また、バースト読取および書込動作を含めることができる。

【0058】好ましい実施形態に関して本発明を説明してきたが、当業者は、本発明の範囲から逸脱せずに、さまざまな変更を行うことができ、同等物によってその要素を置換することができることを諒解するであろう。さらに、本発明の本質的な範囲から逸脱せずに、本発明の教示に対する多数の変更を、特定の状況または材料に適合させるために行うことができる。したがって、本発明が、本発明の実行のために企図された最良の態様として開示された特定の実施形態に制限されるのではなく、本発明に、請求項の範囲に含まれるすべての実施形態が含まれることが意図されている。

【0059】まとめとして、本発明の構成に関して以下の事項を開示する。

【0060】（1）ダイナミック・ランダム・アクセス・メモリ（DRAM）システムの動作を制御する方法であって、前記DRAMシステムが、ロウおよびカラムに編成された複数のメモリ・セルを有し、破壊読出モードをイネーブルするステップであって、前記破壊読出モードが、アドレッシングされたDRAMメモリ・セル内に保管された情報のビットを破壊的に読み取るためのものである、ステップと、情報の前記破壊的に読み取られたビットを、一時記憶デバイスに一時的に保管するステップと、遅延ライト・バック・モードをイネーブルするステップであって、前記遅延ライト・バック・モードが、前記アドレッシングされたDRAMメモリ・セルに後で情報の前記ビットを復元するためのものである、ステップと、前記遅延ライト・バック・モードの実行をスケジュールリングするステップであって、前記スケジュールリングが、前記一時記憶デバイス内のスペースの可用性に依存する、ステップとを含む方法。

（2）破壊読出モードをイネーブルする前記ステップが、さらに、プリチャージされた相補ビット線の対上で差動信号を展開するステップであって、前記ビット線の

1つが、前記アドレッシングされたDRAMメモリ・セルに結合される、ステップと、ビット線の前記対からセンス線の対へ前記差動信号を転送し、その直後に前記ビット線から前記センス線を分離するステップと、ビット線の前記対をプリチャージするステップとを含む、上記（1）に記載の方法。

（3）ビット線の前記対上の前記差動信号が、前記個々のメモリ・セルに結合されたワード線が活動化される時に展開される、上記（2）に記載の方法。

（4）前記一時記憶デバイスが、スタティック・ランダム・アクセス・メモリ（SRAM）を含む、上記（1）に記載の方法。

（5）前記SRAMが、前記アドレッシングされたDRAMメモリ・セルに書き込まれる情報を一時的に保管する、上記（4）に記載の方法。

（6）前記SRAMが、前記アドレッシングされたDRAMメモリ・セルのアドレスに対応するSRAMアドレスに情報を一時的に保管する、上記（5）に記載の方法。

（7）前記DRAMシステムのランダム・アクセス・サイクル・タイムが、前記遅延ライト・バック・モードの前記イネーブルを含まない、上記（1）に記載の方法。

（8）前記DRAMシステムのランダム・アクセス・サイクル・タイムが、前記破壊読出モードの前記イネーブルだけを含む、上記（7）に記載の方法。

（9）前記SRAMが、既にそこに含まれる情報のほかに一時的に情報を保管することができない場合に、遅延ライト・バック・モードが実行される、上記（5）に記載の方法。

（10）複数のDRAMアレイを含む破壊読出DRAMアーキテクチャでライト・バック動作をスケジュールリングする方法であって、動作コマンドを受け取るステップと、前記動作コマンドが、それによって参照されるアドレッシングされたDRAMアレイからのデータの読出をもたらす読取コマンドと、それによって参照されるアドレッシングされたDRAMアレイへのデータの書込をもたらす書込コマンドとのどちらであるかを判定するステップと、前記動作コマンドのどちらを受け取ったかに無関係に、ライト・バック動作を実行しなければならないかどうかを判定するステップであって、前記ライト・バック動作が、SRAM内の特定のアドレスに一時的に保管されたデータを書き込むことを含む、ステップとを含む方法。

（11）読取コマンドに応答して、前記SRAM内の特定のアドレスを検査して、そこに含まれるデータ・ビットが既にあるかどうかを調べるステップであって、前記特定のアドレスが、データが読み出される前記アドレッシングされたDRAMアレイと同一のアドレスに対応する、ステップをさらに含み前記SRAM内の前記特定のアドレスに、データが含まれない場合に、ライト・バック

ク動作が実行されない上記（１０）に記載の方法。

（１２）前記SRAM内の前記特定のアドレスに、データが含まれる場合に、どのDRAMアレイが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応するかが判定され、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出される前記DRAMアレイと一致する場合に、ライト・バック動作が実行されず、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出される前記DRAMアレイと一致しない場合に、ライト・バック動作が実行される上記（１１）に記載の方法。

（１３）前記SRAM内の前記特定のアドレスに、データが含まれない場合に、データが読み出される前記DRAMアレイ内の前記データ・ビットが、前記SRAMにコピーされ、そこからの出力のために読取バッファにもコピーされる上記（１２）に記載の方法。

（１４）前記SRAM内の前記特定のアドレスに、データが含まれず、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出されるDRAMアレイと一致する場合に、前記SRAM内の前記特定のアドレス内の前記データ・ビットが、そこからの出力のために読取バッファにコピーされる上記（１２）に記載の方法。

（１５）前記SRAM内の前記特定のアドレスに、データが含まれ、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが読み出される前記DRAMアレイと一致しない場合に、前記SRAM内の前記特定のアドレス内の前記データ・ビットが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイにライト・バックされ、データが読み出される前記DRAMアレイからの前記データ・ビットが、前記SRAM内の前記特定のアドレスにコピーされ、そこからの出力のために読取バッファにもコピーされる上記（１２）に記載の方法。

（１６）書込コマンドに応答して、前記SRAM内の特定のアドレスを検査して、そこに含まれるデータ・ビットが既にあるかどうかを調べるステップであって、前記特定のアドレスが、データが書き込まれる前記アドレッシングされたDRAMアレイと同一のアドレスに対応する、ステップをさらに含み、前記SRAM内の前記特定のアドレスに、まだデータが含まれない場合に、ライト・バック動作が実行されず、書込バッファに含まれるデータ・ビットが、前記SRAM内の前記特定のアドレスに保管される上記（１０）に記載の方法。

（１７）前記SRAM内の前記特定のアドレスに、データが含まれる場合に、どのDRAMアレイが、前記SRAM内の前記特定のアドレスに含まれる前記データに対応するかが判定され、前記SRAM内の前記特定のアド

レスに含まれる前記データに対応する前記DRAMアレイが、データが書き込まれる前記DRAMアレイと一致する場合に、前記書込バッファに含まれる前記データ・ビットが、前記SRAM内の前記特定のアドレスに書き込まれ、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイが、データが書き込まれる前記DRAMアレイと一致しない場合に、ライト・バック動作が実行される上記（１６）に記載の方法。

（１８）前記ライト・バック動作が、さらに、前記書込バッファに含まれる前記データ・ビットを、データが書き込まれる前記DRAMアレイに直接コピーするステップを含む、上記（１７）に記載の方法。

（１９）前記ライト・バック動作が、さらに、前記SRAM内の前記特定のアドレスに含まれる前記データを、前記SRAM内の前記特定のアドレスに含まれる前記データに対応する前記DRAMアレイにコピーするステップと、前記書込バッファに含まれる前記データ・ビットを前記SRAMにコピーするステップとを含む、上記（１７）に記載の方法。

（２０）複数のDRAMアレイを含む破壊読出DRAMアーキテクチャでライト・バック動作をスケジューリングする方法であって、動作コマンドを受け取るステップと、前記動作コマンドが、それによって参照されるアドレッシングされたDRAMアレイからのデータの読出をもたらす読取コマンドと、それによって参照されるアドレッシングされたDRAMアレイへのデータの書込をもたらす書込コマンドと、ノー・オペレーション・コマンドとのどれであるかを判定するステップと、前記動作コマンドのどれを受け取ったかに無関係に、ライト・バック判定を実行するステップであって、前記ライト・バック判定が、前記複数のDRAMアレイの１つにライト・バックされる、SRAM内に一時的に保管されたデータがあるかどうかを判定する、ステップと、前記複数のDRAMアレイの１つにライト・バックされる、前記SRAM内に一時的に保管されたデータがある場合に、ライト・バックのために前記SRAM内に保管された最も古いデータを選択するステップとを含む方法。

（２１）読取コマンドが検出された場合に、読み取られるデータが既に前記SRAMに含まれるかどうかを判定するステップをさらに含む、上記（２０）に記載の方法。

（２２）前記読み取られるデータが、既に前記SRAM内に含まれる場合に、前記データを前記SRAMから出力し、前記読み取られるデータが、既に前記SRAM内に含まれてはいない場合に、前記アドレッシングされたアレイから前記SRAMに前記データをコピーし、その後、前記データを前記SRAMから出力する上記（２１）に記載の方法。

（２３）書込コマンドが検出された場合に、書き込まれ

るデータが既に前記SRAM内に含まれるかどうかを判定するステップを含む、上記(20)に記載の方法。

(24) 前記書き込まれるデータが、既に前記SRAM内に含まれる場合に、前記ライト・バック判定に直接に進み、前記読み取られるデータが、既に前記SRAM内に含まれない場合に、前記アドレッシングされたアレイ内に保管されたデータを読み取り、前記書き込まれるデータを書込バッファに保管し、前記アドレッシングされたアレイから読み取られたデータを前記書込バッファ内の前記書き込まれるデータとマージし、これによってマージされたデータ・ビットを構成し、前記マージされたデータ・ビットを前記SRAMに保管し、前記ライト・バック判定に進む上記(23)に記載の方法。

(25) マスク機能を実施するステップであって、前記マスク機能が、前記マージされたデータ・ビットの1つまたは複数の前記SRAMに書き込まれることを選択的に禁止することができる、ステップをさらに含む、上記(24)に記載の方法。

(26) 前記ライト・バック判定が、さらに、前記SRAM内の前記最も古い保管されたデータに対応する前記DRAMアレイの可用性を検査するステップと、前記SRAM内の前記最も古い保管されたデータに対応する前記DRAMアレイが使用不能である場合に、ライト・バックのために前記SRAM内に保管された次の最も古いデータを選択するステップとを含む、上記(20)に記載の方法。

(27) 前記SRAMからの前記データの前記出力が、前記読取コマンドが検出された時から4クロック・サイクル以内に達成される上記(22)に記載の方法。

(28) 前記SRAMへの前記マージされたデータ・ビットの前記保管が、前記書込コマンドが検出された時から2クロック・サイクル以内に達成される上記(24)に記載の方法。

(29) 前記ライト・バックが、前記動作コマンドが検出された時から1クロック・サイクル以内に達成される上記(26)に記載の方法。

(30) ダイナミック・ランダム・アクセス・メモリ(DRAM)構造であって、その中に情報の1ビットを保管することができる、個々のメモリ・セルと、前記メモリ・セルに取外し可能に結合されたビット線であって、さらに、前記メモリ・セルに関して受け取られる動作コマンドの前に当初にプリチャージされる、ビット線と、前記ビット線に取外し可能に結合された信号線であって、前記ビット線上で当初に生成される信号を受け取り、前記ビット線が、前記信号がその上で当初に生成された時にはやプリチャージされない、信号線と、前記信号線に取外し可能に結合されたデータ線とを含み、前記信号線が、前記メモリ・セルから読み取られたデータ・ビットを、前記データ線へ、前記ビット線がもう一度プリチャージされるのと同時に、送出することができる

DRAM構造。

(31) 前記信号線に結合されたセンス増幅器であって、前記ビット線が前記メモリ・セルに結合された後に、前記ビット線上で当初に生成される前記信号を増幅する、センス増幅器をさらに含む、上記(30)に記載のDRAM構造。

(32) 前記メモリ・セルに結合されたワード線であって、前記メモリ・セルを前記ビット線に結合することができる、ワード線をさらに含む、上記(31)に記載のDRAM構造。

(33) 前記センス増幅器が、前記ビット線が前記信号線から結合解除された後に、前記信号線上の前記信号を増幅する、上記(31)に記載のDRAM構造。

(34) 前記データ・ビットが、前記メモリ・セルから破壊的に読み取られ、前記データ・ビットが、さらに、一時記憶要素に一時的に保管され、前記データ・ビットを、前記ビット線がもう一度プリチャージされた後に前記メモリ・セルにライト・バックすることができる上記(30)に記載のDRAM構造。

(35) 相補ビット線の対であって、等しい電圧までチャージされ、相補ビット線の前記対の1つが、前記メモリ・セルに取外し可能に結合される、相補ビット線の対をさらに含み、前記メモリ・セルが、相補ビット線の前記対の前記1つに結合される時に、前記センス増幅器が、相補ビット線の前記対の間の差動電圧を増幅する上記(34)に記載のDRAM構造。

(36) 前記一時記憶要素が、スタティック・ランダム・アクセス・メモリ(SRAM)を含む、上記(34)に記載のDRAM構造。

(37) ダイナミック・ランダム・アクセス・メモリ(DRAM)構造であって、ロウおよびカラムに編成された複数の個々のメモリ・セルであって、メモリ・セルの各カラムが、対応するワード線に結合され、メモリ・セルの各ロウが、相補ビット線の対の1つのビット線に取外し可能に結合される、複数の個々のメモリ・セルと、相補ビット線の前記対を等しい電圧値までプリチャージする等化器と、ビット線の選択された対を信号線の対に取外し可能に結合するマルチプレクサと、信号線の前記対を介して、ビット線の前記選択された対から一時記憶デバイスへデータを転送することができるデータ線とを含むDRAM構造。

(38) ビット線の前記選択された対上で生成される信号を増幅するセンス増幅器をさらに含む、上記(37)に記載のDRAM構造。

(39) ビット線の前記選択された対上で生成される前記信号が、ビット線の前記選択された対が信号線の前記対から結合解除された後に増幅される上記(38)に記載のDRAM構造。

(40) ビット線の前記対に結合された書込ドライバの対であって、前記個々のメモリ・セルの1つまたは複数

から読み取られたデータをそこにライト・バックできるようにする、書込ドライバの対をさらに含む、上記（３７）に記載のDRAM構造。

（４１）ダイナミック・ランダム・アクセス・メモリ（DRAM）アーキテクチャであって、複数のDRAMアレイと、前記複数のDRAMアレイと通信する一時メモリ・ストレージ・デバイスであって、前記複数のDRAMアレイから読み取られ、それに書き込まれるデータを一時的に保管する、一時メモリ・ストレージ・デバイスと、前記一時メモリ・ストレージ・デバイス内に保管されたデータを、前記複数のDRAMアレイにライト・バックしなければならない時を判定する、スケジューラを含むDRAMアーキテクチャ。

（４２）前記スケジューラが、さらに、それへの入力として動作コマンドおよびアドレス・ベクトルを受け取るコントローラと、タグ・メモリとを含み、前記タグ・メモリが、前記アドレス・ベクトルを保管することができ、前記動作コマンドが、前記コントローラに、前記複数のDRAMアレイの１つに関する読取動作または書込動作をイネーブルさせる上記（４１）に記載のDRAMアーキテクチャ。

（４３）前記アドレス・ベクトルが、前記複数のDRAMアレイ内の特定のDRAMアレイを参照し、前記アドレス・ベクトルが、さらに、前記特定のDRAMアレイ内の特定のワード線を参照する上記（４２）に記載のDRAM構造。

（４４）前記一時メモリ・ストレージ・デバイスが、スタティック・ランダム・アクセス・メモリ（SRAM）であり、前記SRAMが、その中に複数のワード線を含み、前記ワード線の数、前記複数のDRAMアレイの最大のものに含まれるワード線の数より大きい、上記（４３）に記載のDRAM構造。

（４５）前記動作コマンドおよびアドレス・ベクトルの受取時に、前記スケジューラが、前記SRAM内で前記アドレス・ベクトル内で識別される前記SRAM内の前記特定のワード線に、データがあるかどうかを判定する上記（４４）に記載のDRAM構造。

（４６）前記SRAMに結合された読取バッファと、前記SRAMに結合された書込バッファとをさらに含む、上記（４５）に記載のDRAM構造。

（４７）前記タグ・メモリが、さらに、有効ビットを保管し、前記有効ビットが、前記SRAMに前記アドレス・ベクトルに対応するデータが含まれるかどうかを判定する、上記（４２）に記載のDRAM構造。

（４８）前記コントローラが、さらに、ビット／バイト・マスキング機能を生成する、上記（４１）に記載のDRAM構造。

（４９）前記スケジューラが、直接マッピング・スケジューリング方法を含む、上記（４１）に記載のDRAM構造。

（５０）前記スケジューラが、ライトスルー・スケジューリング方法を含む、上記（４１）に記載のDRAM構造。

【図面の簡単な説明】

【図１】既存の単一のDRAM構造の概略図である。

【図２】図１のDRAM構造に関連する順次処理ステップを示すタイミング図である。

【図３】本発明の実施形態による、破壊読出／遅延書込機能を有する例示的DRAM構造の概略図である。

【図４】図３のDRAM構造に関連するタイミング図である。

【図５】本発明の実施形態による、破壊読出／遅延書込機能を使用するDRAM制御アーキテクチャのブロック図である。

【図６】図５のDRAMシステムの動作を制御する方法の１実施形態の例を示すデータ・フロー図である。

【図７】図６に示された方法の代替実施形態を示す流れ図である。

【図８】図７の実施形態のコマンド・パイプライン図である。

【図９】図７の実施形態のコマンド・パイプライン図である。

【図１０】図７の実施形態のコマンド・パイプライン図である。

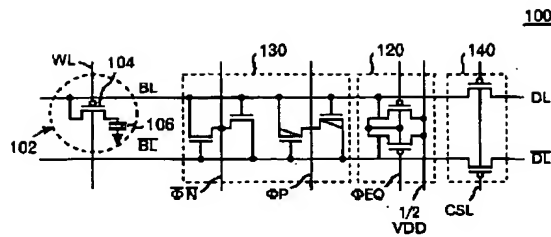
【図１１】図７の方法の内部動作と外部動作を比較するタイミング図である。

【図１２】図７から１１に示された方法を実施する例示的DRAMセル構造の概略図である。

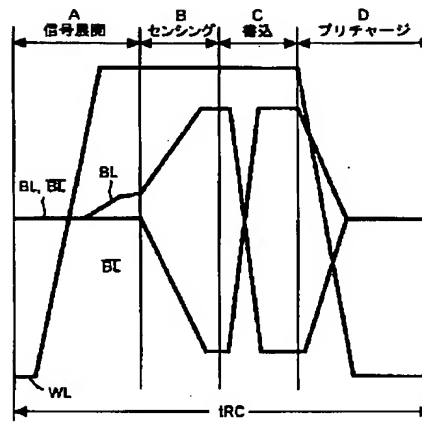
【符号の説明】

300 アーキテクチャ
302 DRAMアレイ
304 SRAM
306 スケジューラ
308 タグ・メモリ
310 コントローラ
312 読取バッファ
314 書込バッファ

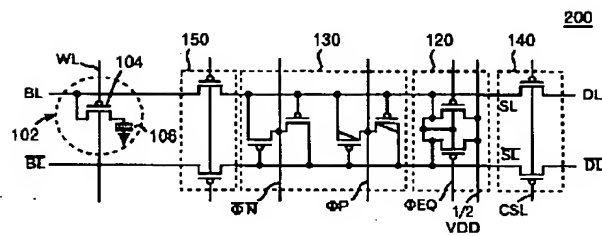
【図1】



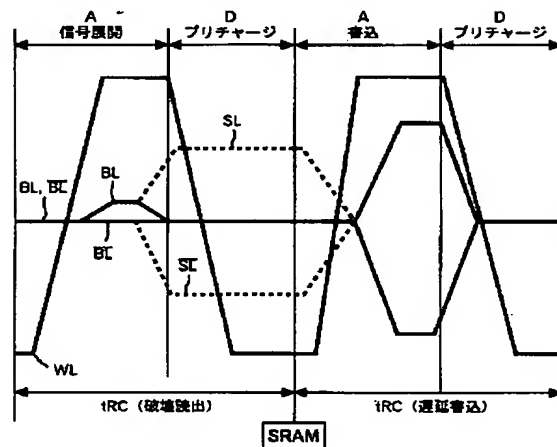
【図2】



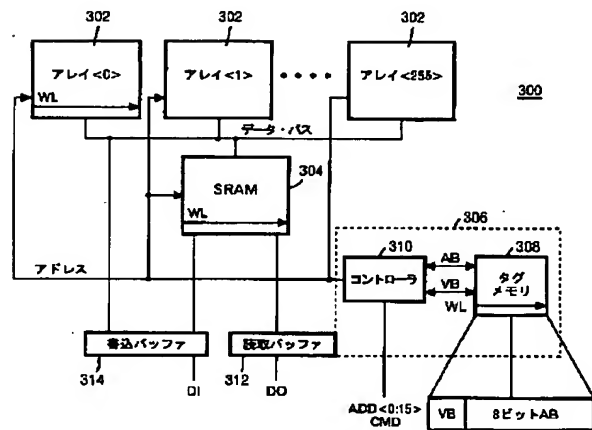
【図3】



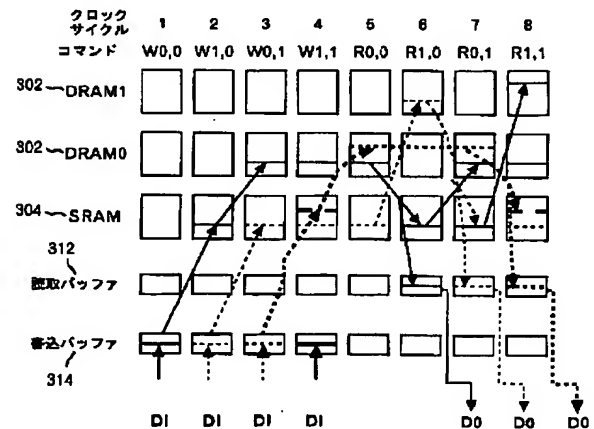
【図4】



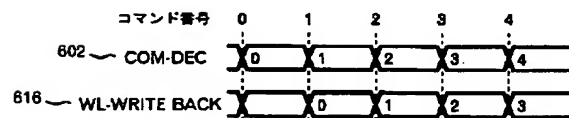
【図5】



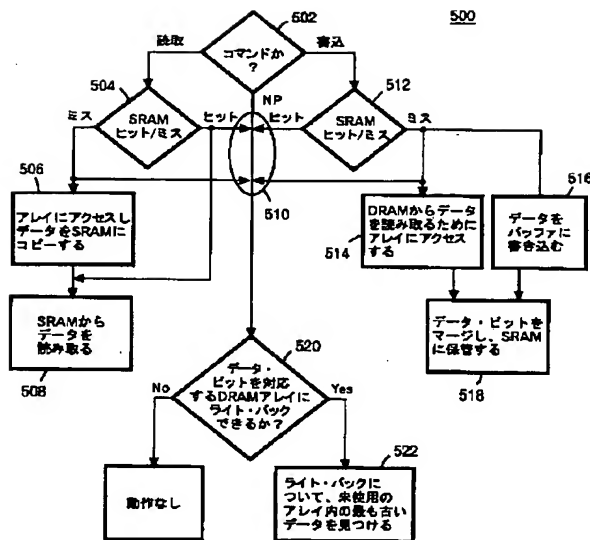
【図6】



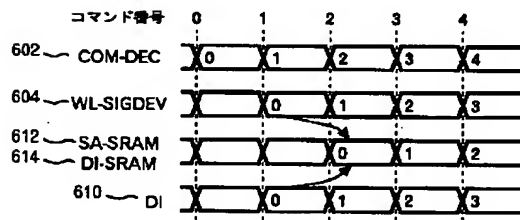
【図10】



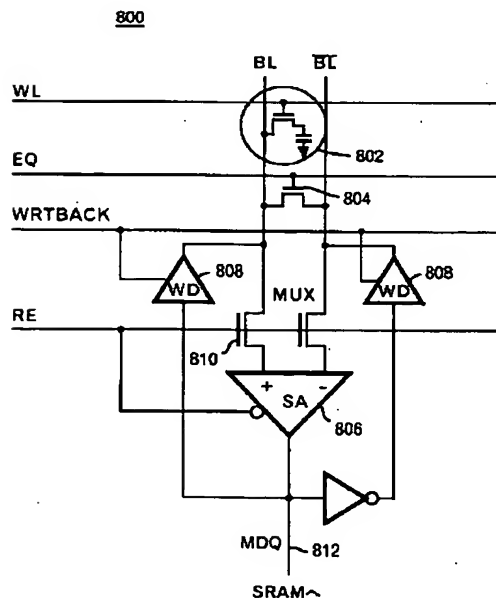
【図7】



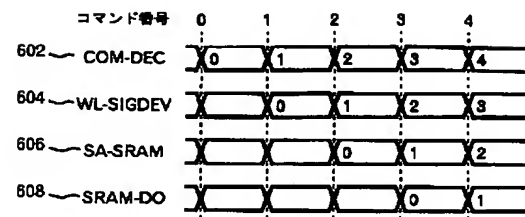
【図9】



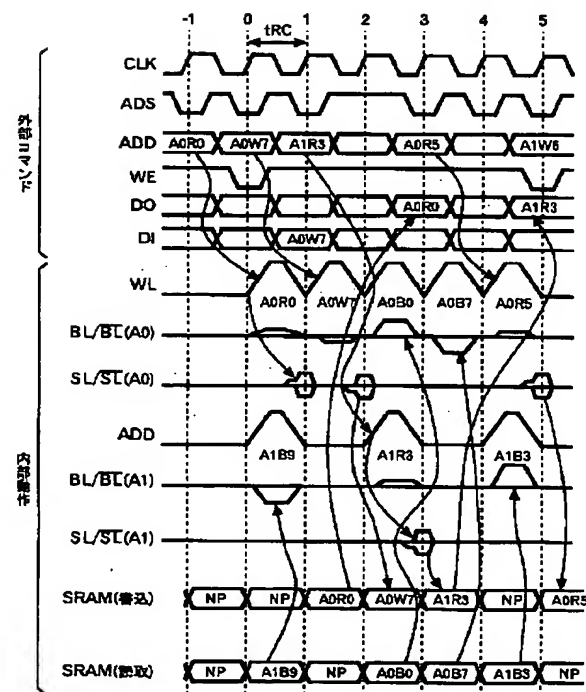
【例 12】



【図8】



【図 1 1】



フロントページの続き

(72)発明者 トシアキ・キリハタ
アメリカ合衆国12603 ニューヨーク州ボ
ーキプシー ミスティー・リッジ・サーク
ル 10

(72)発明者 サン・フー・ドン
アメリカ合衆国78733 テキサス州オース
チン コレオプシス・ドライブ 10617

(72)発明者 ホワジョン・オー
アメリカ合衆国78750 テキサス州オース
チン レーメンズ・スパイスティーアール
8629

(72)発明者 マシュー・ワーデマン
アメリカ合衆国96769 ハワイ州マカワオ
ケハウ・プレイス 1123

Fターム(参考) 5B015 HH01 JJ24 KB92 PP07
5M024 AA44 BB30 BB35 CC68 KK32
PP01 PP02 PP03 PP07 PP10